

Docket No.: 61282-057

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Yasunaga ISEDA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: January 22, 2004	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE AND METHOD FOR DESIGNING THE SAME	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-013923, filed January 22, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: January 22, 2004

日本国特許庁
JAPAN PATENT OFFICE

61282-057
Tscda et al.
January 22, 2004
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月22日
Date of Application:

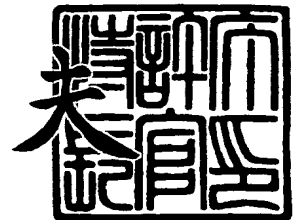
出願番号 特願2003-013923
Application Number:
[ST. 10/C]: [JP 2003-013923]

出願人 松下電器産業株式会社
Applicant(s):

2003年12月12日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3103492



【書類名】 特許願

【整理番号】 5037640182

【提出日】 平成15年 1月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/92

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 伊勢田 泰永

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 金澤 秀樹

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100105647

 【弁理士】

 【氏名又は名称】 小栗 昌平

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100105474

 【弁理士】

 【氏名又は名称】 本多 弘徳

 【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその設計方法

【特許請求の範囲】

【請求項 1】 半導体基板に形成された最上層配線と、前記最上層配線に接続するように、保護膜を介して形成された再配線層と、前記再配線層に接続されたバンプを備えた半導体装置であって、

前記バンプ下に、前記バンプと前記再配線層の配線との接続面積よりも大面積で構成される最上層配線をもつ最上層素子配線構造を少なくとも 1 つ有することを特徴とする半導体装置。

【請求項 2】 前記バンプは前記最上層配線の配線幅の範囲領域内に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板に形成された最上層配線と、前記最上層配線に接続するように、保護膜を介して形成された再配線層と、前記再配線層に接続されたバンプを備えた半導体装置であって、

前記バンプは、前記バンプに接続される再配線層と異なるノードに接続される最上層配線のエッジ上を避けて形成されたことを特徴とする半導体装置。

【請求項 4】 前記バンプは、前記最上層配線のエッジ上を避けて形成されたことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記バンプは前記最上層配線の配線幅の範囲領域内に形成されていることを特徴とする請求項 3 または 4 に記載の半導体装置。

【請求項 6】 半導体基板上に素子領域を形成するとともに、前記素子領域に接続された最上層配線と、前記最上層配線に接続するように、保護膜を介して形成された再配線層と、前記再配線層に接続されたバンプを備えた半導体装置の設計方法であって、

前記バンプの配置工程が、前記バンプを配置しようとする領域に前記最上層配線のエッジが存在するか否かを検出する工程と、前記最上層配線のエッジ上を避けて形成されるように配置する工程を含むことを特徴とする半導体装置の設計方法。

【請求項 7】 前記検出する工程で、前記最上層配線のエッジが存在すると判

断された場合には、

前記バンプのサイズを調整することにより、バンプが、前記最上層配線のエッジ上を避けて形成されるように配置するようにしたことを特徴とする請求項 6 に記載の半導体装置の設計方法。

【請求項 8】 前記バンプのサイズを、前記最上層配線の配線幅よりも小さくし、前記配線幅の範囲領域内に形成するようにしたことを特徴とする請求項 6 に記載の半導体装置。

【請求項 9】 半導体基板に形成された最上層配線と、前記最上層配線に接続するように、保護膜を介して形成された再配線層と、前記再配線層に接続されたバンプを備えた半導体装置の設計方法であって、

前記バンプを配置する工程が、前記バンプに接続される再配線層と異なるノードに接続される最上層配線のエッジ上を避けて形成されるように配置する工程を含むことを特徴とする半導体装置の設計方法。

【請求項 10】 前記バンプを配置する工程が、前記最上層配線のエッジ上を避けて形成されるように配置する工程を含むことを特徴とする請求項 9 に記載の半導体装置の設計方法。

【請求項 11】 前記バンプを配置する工程は、前記最上層配線の配線幅の範囲領域内に位置するように配置する工程を含むことを特徴とする請求項 9 または 10 に記載の半導体装置の設計方法。

【請求項 12】 前記バンプを配置する工程は、前記最上層配線の存在する領域を避けて配置する工程を含むことを特徴とする請求項 9 または 10 に記載の半導体装置の設計方法。

【請求項 13】 前記請求項 1 乃至 5 に記載の最上層素子配線構造を全てのバンプ下に有するように配置する工程を含むことを特徴とする半導体装置の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係り、特に再配線層の配線と接続

されるバンプ下に素子配線層の配線を有する半導体装置に関するものである。

【0002】

【従来の技術】

従来のバンプ下の構造は、バンプとの接合面積より大きな面積の金属膜を有している（例えば、特許文献1参照。）。

【0003】

【特許文献1】

特開平1-120040

【0004】

【発明が解決しようとする課題】

従来の半導体装置の再配線層の配線と接続されるバンプ下の最上層素子配線の構造について図5を用いて説明する。図5は再配線層の配線と接続されるバンプ下の最上層素子配線の構造の一例を示す要部拡大図である。

【0005】

所望の素子領域の形成された半導体基板101上の最上層配線102を保護膜103で覆い、保護膜103の上に絶縁膜104を設け、バンプ105下の絶縁膜104を選択的に除去し、絶縁膜104の上に再配線層106を配線し、バンプ105下に再配線層106とバンプ105とを接続する金属膜107を設け、再配線層106とバンプ105とを接続している。

【0006】

このとき、最上層配線102は、バンプ105と再配線層106とを接続する接続面積より幅の小さい配線になっていることが多い。

【0007】

このように、バンプ105と再配線層106との接続面積より小さい幅の素子配線102が存在するので、素子配線102のエッジに相当する部分に段差が形成され、この段差部分に位置する保護膜の膜厚が薄くなったり、保護膜のエッジに応力がかかり、強度的に弱くなっていることがある。

【0008】

また保護膜103の表面に凸凹が形成され、その上に再配線層106を形成す

ることになるが、この凹凸部分のエッジに相当する部分上に応力が集中し、保護膜 103 が破壊されることもあった。

【0009】

そしてこの再配線層 106 上に、膜厚の大きいバンプが形成されることになり、さらに大きな応力がかかることになり、成膜時のみならず、使用時すなわちバンプによるプリント基板との接続に際し、高温となるため、さらなる応力と、熱によって保護膜の劣化が生じ易い。

このような原因から、素子配線 102 のエッジ部分での段差に起因してバンプ下で再配線層 106 と素子配線層 102 とが短絡してしまうことがあった。

【0010】

本発明は前記実情に鑑みてなされたもので、バンプ下で、最上層配線と再配線が短絡するのを防止し、短絡不良のない半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明の半導体装置は、再配線層の配線と接続されるバンプ下に最上層配線を有する半導体装置であって、前記最上層配線が、この上層を覆う保護膜の表面形状がバンプ下で凹凸をもたないように形成したことを特徴とする。

【0012】

本発明の半導体装置は、半導体基板に形成された最上層配線と、前記最上層配線に接続するように、保護膜を介して形成された再配線層と、前記再配線層に接続されたバンプを備えた半導体装置であって、前記バンプ下に、前記バンプと前記再配線層の配線との接続面積よりも大面積で構成される最上層配線をもつ素子配線構造を少なくとも 1 つ有することを特徴とする。

【0013】

この構成によれば、保護膜の表面形状に凸凹が形成されないため、再配線層の膜付け時に応力が分散され、保護膜の破壊が防止できる。

すなわち、バンプ下に相当する、最上層配線のエッジに相当する部分に段差が形成されることがないため、この段差部分に位置する保護膜の膜厚が薄くなった

り、保護膜のエッジに応力がかかり、強度的に弱くなったりすることもない。

【0014】

さらにまた、そしてこの再配線層上に、膜厚の大きいバンプが形成されることになり、さらに大きな応力がかかっても、成膜時のみならず、使用時すなわちバンプによるプリント基板との接続に際し、さらなる応力と、熱によって保護膜の劣化が生じたりすることもない。

【0015】

また、本発明の半導体装置は、前記バンプが前記最上層配線の配線幅の範囲領域内に形成されており、バンプ下には段差がないため、保護膜の膜厚が薄くなっている部分もなく、短絡不良の発生を防止することができる。

【0016】

又、本発明の半導体装置は、半導体基板に形成された最上層配線と、前記最上層配線に接続するように、保護膜を介して形成された再配線層と、前記再配線層に接続されたバンプを備えた半導体装置であって、前記バンプは、前記バンプに接続される再配線層と異なるノードに接続される最上層配線のエッジ上を避けて形成されたことを特徴とする。

【0017】

かかる構成によれば、再配線層と異なるノードに接続される最上層配線のエッジに起因する段差のある領域を避けてバンプが形成されているため、バンプと異なるノードとの短絡を防止することができる。

【0018】

また本発明の半導体装置では、前記バンプは、前記最上層配線のエッジ上を避けて形成されており、バンプ下で、最上層配線の凹凸がないため、保護膜の膜厚が薄くなったりすることもなく、より確実に短絡不良の防止をはかることができる。

【0019】

また本発明の半導体装置では、前記バンプは前記最上層配線の配線幅の範囲領域内に形成されており、バンプ下は配線領域ではあるが、凹凸がないため、保護膜の膜厚が薄くなったりすることもなく、より確実に短絡不良の防止をはかるこ

とができる。

【0020】

本発明の半導体装置の設計方法は、半導体基板上に素子領域を形成するとともに、前記素子領域に接続された最上層配線と、前記最上層配線に接続するように、保護膜を介して形成された再配線層と、前記再配線層に接続されたバンプを備え、前記バンプの配置工程が、前記バンプを配置しようとする領域に前記最上層配線のエッジが存在するか否かを検出する工程と、前記最上層配線のエッジ上を避けて形成されるように配置する工程を含むことを特徴とする。

【0021】

かかる構成によれば、バンプが段差上に形成されないため、応力や熱の集中もなく、信頼性の高い膜を形成することができる。

【0022】

本発明の半導体装置の設計方法は、前記検出する工程で、前記最上層配線のエッジが存在すると判断された場合には、前記バンプのサイズを調整することにより、バンプが、前記最上層配線のエッジ上を避けて形成されるように配置するように構成しており、リサイズにより、バンプが段差上を避けるように、設計段階で容易に調整できる。設計段階であるため、リサイズによってバンプの抵抗値に問題が生じるような場合は、バンプの材質を変更するなどの対処方法も有効である。

【0023】

また本発明の半導体装置の設計方法では、前記バンプのサイズを、前記最上層配線の配線幅よりも小さくし、前記配線幅の範囲領域内に形成するようにしており、これにより、確実に最上層配線の段差上にバンプが形成されるのを防止することができる。

【0024】

さらに、本発明の半導体装置の設計方法は、半導体基板に形成された最上層配線と、前記最上層配線に接続するように、保護膜を介して形成された再配線層と、前記再配線層に接続されたバンプを備え、前記バンプを配置する工程が、前記バンプに接続される再配線層と異なるノードに接続される最上層配線のエッジ上を

避けて形成されるように配置する工程を含むことを特徴とする。

【0025】

かかる方法によれば、設計段階でバンプ下に最上層配線のエッジに起因する段差がないようにすることができる。

【0026】

また、本発明の半導体装置の設計方法は、前記バンプを配置する工程が、前記最上層配線のエッジ上を避けて形成されるように配置する工程を含むようにしており、バンプは異なるノードに接続される最上層配線のエッジのみならず最上層配線のエッジのすべてを避けて形成されるため、より確実に最上層配線を被覆した保護膜上にバンプを配置することができる。

【0027】

また、本発明の半導体装置の設計方法は、前記バンプを配置する工程が、前記最上層配線の配線幅の範囲領域内に位置するように配置する工程を含むようにしており、より確実に最上層配線を被覆した保護膜上にバンプを配置することができる。

【0028】

また、本発明の半導体装置の設計方法は、前記バンプを配置する工程が、前記最上層配線の存在する領域を避けて配置する工程を含むようにしており、短絡不良の確実な防止を可能にする。

【0029】

また、本発明の半導体装置の設計方法は、前記各最上層素子配線構造を全てのバンプ下に有するように配置することにより、確実に短絡不良のない半導体装置を形成することが可能となる。

【0030】

【発明の実施の形態】

(第1の実施の形態)

本発明の第1の実施の形態にかかる半導体装置のバンプとバンプ下の配線構造について図1を用いて説明する。

MOSFETなどの所望の半導体素子の形成された半導体基板1上のアルミニ

ウム薄膜からなる最上層配線 2 を窒化シリコン膜からなる保護膜 3 で覆い、この保護膜 3 の上に酸化シリコン膜からなる絶縁膜 4 を設け、バンプ 5 下となる領域の絶縁膜 4 を選択的に除去し、この絶縁膜 4 の上に銅薄膜からなる再配線層 6 を配線し、バンプ 5 下で再配線層 6 とバンプ 5 とを接続する金薄膜からなる金属膜 7 を設け、再配線層 6 とバンプ 5 とを接続している。そして、最上層配線 2 は、バンプ 5 と再配線層 6 とを接続する接続領域でこの接続領域よりも幅広でかつ接続面積より大きい面積の配線になっている。

【0031】

以上のように、第1の実施の形態における半導体装置によれば、最上層配線 2 のエッジ E_u はバンプ 5 下よりも外方にあるためこの上層にある保護膜 3 の膜厚が薄くなったとしても、対向する領域には再配線もバンプもなく、短絡を生じることはない。バンプと接続する下地の再配線層と近接するエッジ E_R の部分では最上層配線は平坦であるため、その上層の保護膜 3 の表面形状を平坦にすることができ、再配線層 6 の膜付け時に応力が分散され、保護膜 3 の破壊を防ぐとともに、再配線層 6 と最上層配線 2 とのショートを防ぐことができる。

【0032】

(第2の実施の形態)

本発明の第2の実施の形態にかかる半導体装置について説明する。

本実施の形態における半導体装置の構成は、前記第1の実施の形態におけるバンプ 5 下の最上層配線 2 の配線構造を半導体装置の全てのバンプ 5 下に構成する。

以上のように、この半導体装置によれば、最上層配線 2 は、下層の配線より配線幅を大きくすることが容易であるので、バンプ 5 の位置が確定していれば、効率よく最上層配線 2 のレイアウトを実現することができ、チップ面積の増加を防ぐことができる。

【0033】

(第3の実施の形態)

本発明の第3の実施の形態にかかる半導体装置について説明する。

本実施の形態における半導体装置の構成は、最上層配線 2 の幅が狭い場合に、

点線で示す本来のバンプ105よりも小さくし、図2に示すように最上層配線2のエッジEがバンプ5下よりも外方に位置するようにしたものである。

【0034】

以上のように、この実施の形態における半導体装置によれば、最上層配線2に制約のある場合にも、バンプの大きさを調整することができる。また、このような場合には、バンプの材質を低抵抗の金などに代えるなど方法により、特性を変更することなく、効率よく最上層配線2のレイアウトを実現することができる。

【0035】

(第4の実施の形態)

本発明の第4の実施の形態にかかる半導体装置について説明する。

本実施の形態における半導体装置の構成は、図3に示すように最上層配線2SのエッジEがバンプに対向している場合であるが、このバンプがこの最上層配線2Sと同一ノードとなるような配置関係をなすようにすることにより、保護膜が薄くなったとしても相対向する部分に電位差がないため電界集中が生じることもない。

【0036】

以上のように、この実施の形態における半導体装置によれば、最上層配線2に制約のある場合にも、バンプの配置を調整することにより、短絡不良を防止することができる。

【0037】

このような場合には、バンプの材質を低抵抗の金などに代えるなど方法により、特性を変更することなく、効率よく最上層配線2のレイアウトを実現することができる。

【0038】

(第5の実施の形態)

本発明の第5の実施の形態にかかる半導体装置について説明する。

本実施の形態における半導体装置の構成は、図4にフローチャートを示すように、レイアウト工程において、バンプの配置に際し、前記バンプを配置しようとする領域に前記最上層配線のエッジが存在するか否かを検出する工程と、前記最

上層配線のエッジ上を避けて形成されるように配置する工程を含むことを特徴とする。

【0039】

すなわち、素子領域のレイアウト完了後（ステップS1）、バンプを仮配置する（ステップS2）。

【0040】

そしてこのバンプを配置しようとする領域に最上層配線のエッジが存在するか否かを検出し、判断する（ステップS3）。

【0041】

この判断ステップで、バンプの下層に最上層配線のエッジが存在しない場合は設計完了である。

【0042】

一方前記判断ステップS3で、当該バンプ下に最上層配線のエッジが存在すると判断された場合は、当該最上層配線が当該バンプと同一ノードであるか否かを判断する（ステップS4）。

【0043】

そして同一ノードであると判断された場合には設計完了である。

【0044】

また同一ノードでないと判断された場合には、バンプサイズをリサイズする（ステップS5）。

【0045】

あるいはバンプを再配置し（ステップS6）、再度判断ステップS3に戻る。

【0046】

かかる構成によれば、設計段階で調整することにより、バンプが段差上に形成されないようにすることができるため、応力や熱の集中もなく、信頼性の高い膜を形成することができる。

【0047】

なお、図5に示したような構造の場合にも最上層配線102が上層のバンプ105と同一ノードである場合には、電界集中が生じないため、短絡不良が生じな

いようにすることができる場合もある。

【0048】

【発明の効果】

本発明にかかる半導体装置によれば、再配線層の配線と接続されるバンプ下に最上層配線を有する半導体装置であって、最上層配線は、バンプと再配線層の配線とを接続する接続面積より大面積となるように構成しているため、バンプ下で最上層配線上の保護膜の表面形状の平坦化をはかることができる。

【0049】

従って、再配線層の膜付け時に応力が分散され、保護膜の破壊を防ぐとともに、再配線層配線と素子配線層配線とのショートを防ぐことができる。

【0050】

また、最上層配線は、下層の素子配線より配線幅を大きくすることが容易であるので、バンプの位置が確定していれば、効率よく最上層素子配線のレイアウトを行うことができ、チップ面積の増加を防ぐことができる。

【0051】

また、バンプの配置を最上層配線のエッジを避けて、設計するようにすれば、レイアウト段階で容易に調整可能である。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態にかかる半導体装置のバンプとバンプ下の最上層配線との構造を示す断面図。

【図2】 本発明の第3の実施の形態にかかる半導体装置のバンプとバンプ下の最上層配線との構造を示す断面図。

【図3】 本発明の第4の実施の形態にかかる半導体装置のバンプとバンプ下の最上層配線との構造を示す断面図。

【図4】 本発明の第5の実施の形態にかかる半導体装置の設計工程を示すフローチャート図。

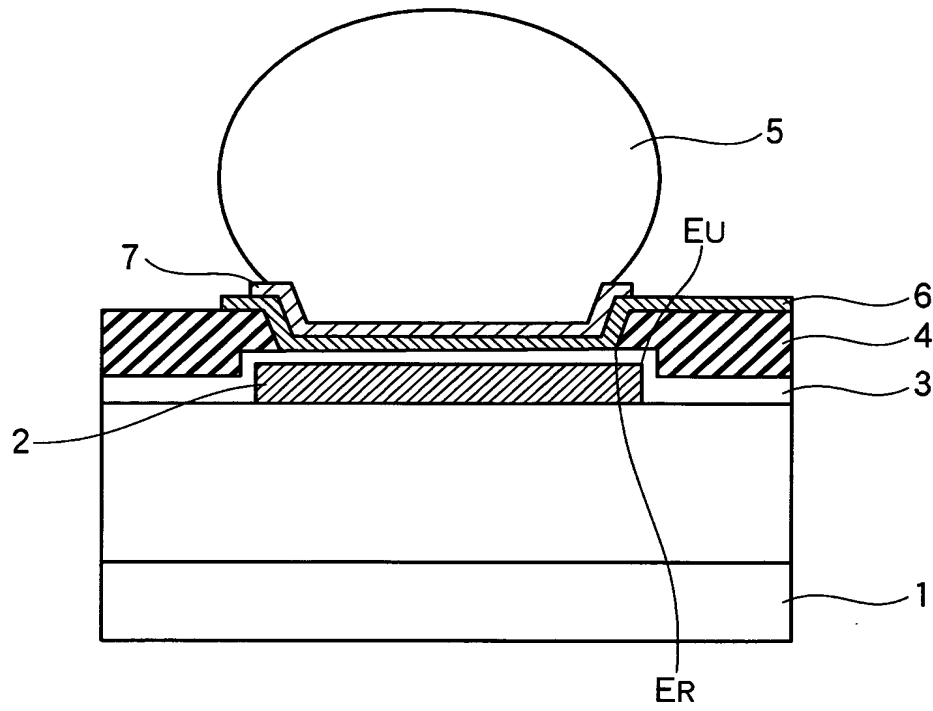
【図5】 従来の半導体装置のバンプとバンプ下の配線との構造を示す断面図。

【符号の説明】

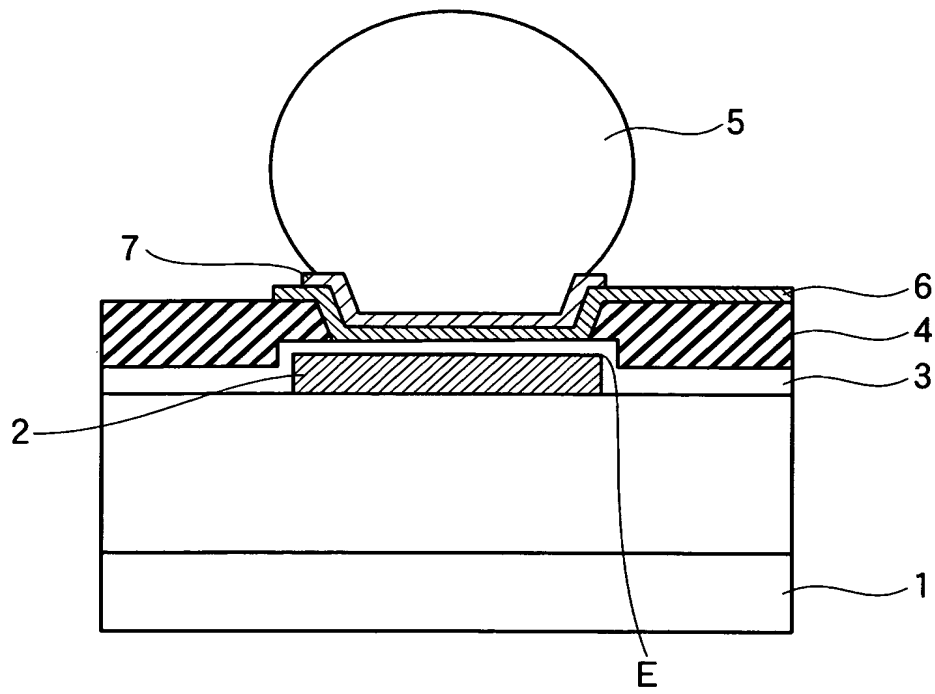
1、1 0 1	半導体基板
2、1 0 2	最上層配線
3、1 0 3	保護膜
4、1 0 4	絶縁膜
5、1 0 5	バンプ
6、1 0 6	再配線層
7、1 0 7	金属膜

【書類名】 図面

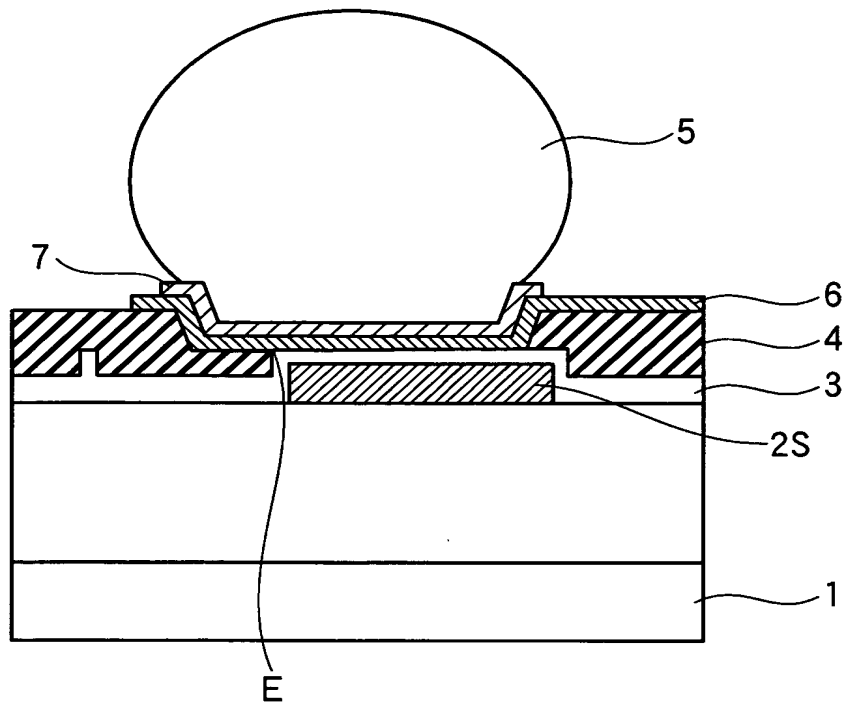
【図 1】



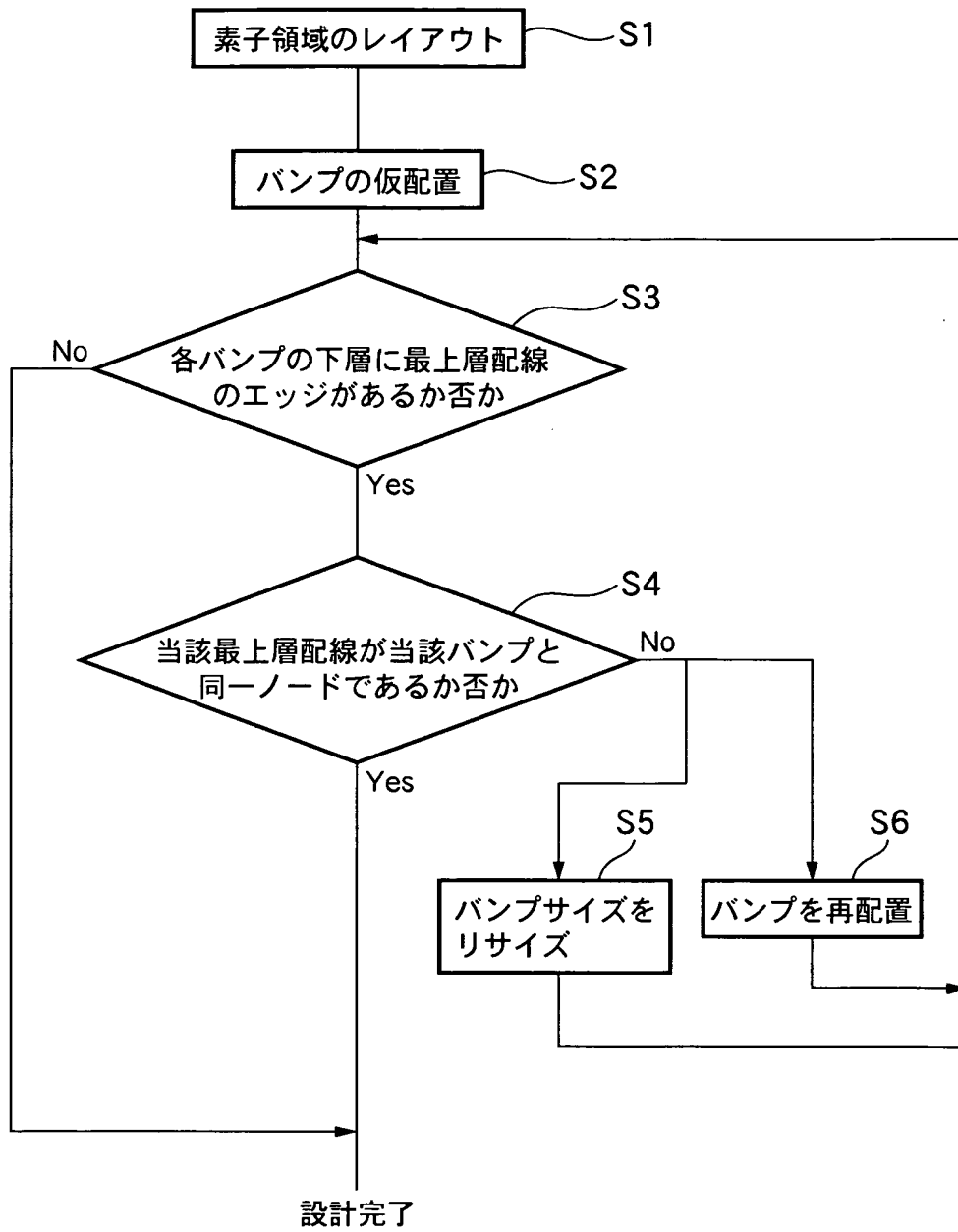
【図 2】



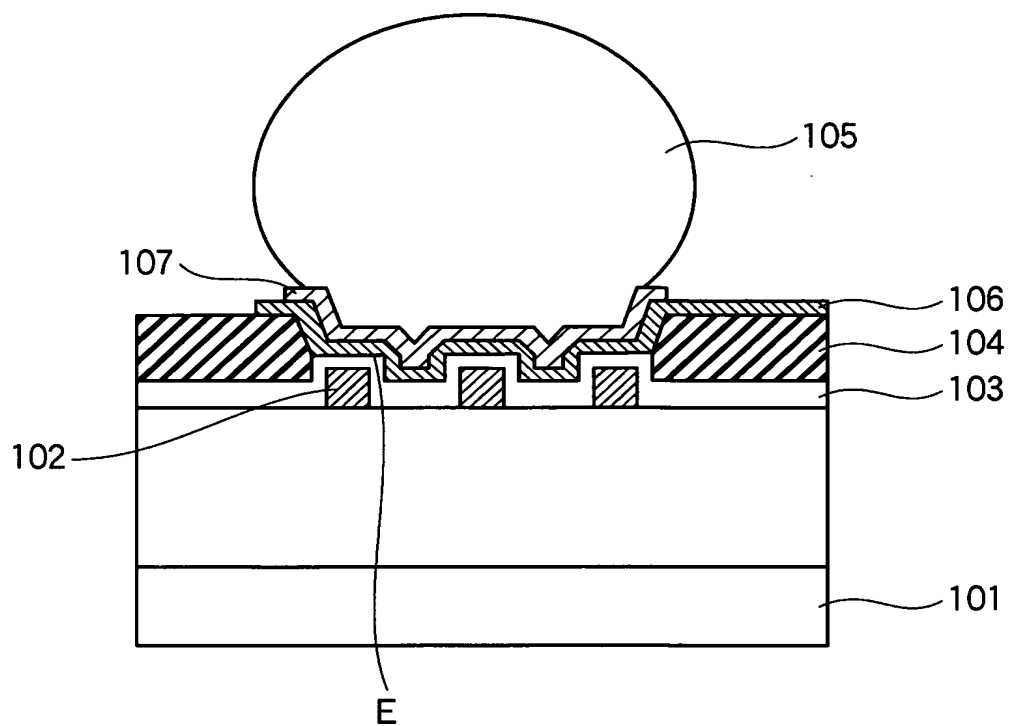
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 バンプ下で、最上層配線と再配線が短絡するのを防止し、短絡不良のない半導体装置を提供する。

【解決手段】 再配線層の配線と接続されるバンプ下に最上層配線を有する半導体装置であって、前記最上層配線が、この上層を覆う保護膜の表面形状がバンプ下で凹凸をもたないように、形成したことを特徴とする。

【選択図】 図 1

特願 2 0 0 3 - 0 1 3 9 2 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 8 日

[変 更 理 由]

新 規 登 録

住 所

大 阪 府 門 真 市 大 字 門 真 1 0 0 6 番 地

氏 名

松 下 電 器 産 業 株 式 会 社